

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-257344
 (43)Date of publication of application : 21.09.2001

(51)Int.Cl.

H01L 29/78
 H01L 21/283
 H01L 21/316
 H01L 21/336

(21)Application number : 2000-066960

(22)Date of filing : 10.03.2000

(71)Applicant : TOSHIBA CORP

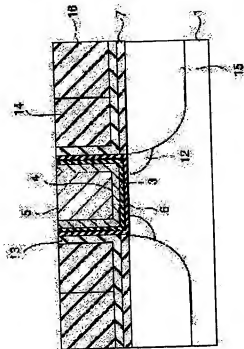
(72)Inventor : TSUNASHIMA YOSHITAKA
 INUMIYA SEIJI
 MINAZU YASUMASA
 OZAWA YOSHIO
 MIYANO KIYOTAKA
 TANAKA MASAYUKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the performance of a semiconductor device which uses a metal oxide film or a metal silicate film as a gate insulating film.

SOLUTION: An insulating film 6 which includes a metal, silicon and oxygen, is formed between a semiconductor substrate 1 and a metal oxide film 3. The insulating film 6 which includes a metal, silicon and oxygen includes either fluorine or nitrogen at least. The metal oxide film 3 and the insulating film 6 including a metal, silicon and oxygen are amorphous films. The main metal element composing the metal oxide film 3 which is different from the main metal element composing the insulating film 6 may include metal, silicon and oxygen, there is no problem.



LEGAL STATUS

[Date of request for examination]

25.08.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-257344
(P2001-257344A)

(43) 公開日 平成13年9月21日 (2001.9.21)

(51) Int.Cl.	識別記号	F I	データベース(参考)
H 0 1 L	29/78	H 0 1 L 21/283	C 4 M 1 0 4
	21/283	21/316	M 5 F 0 4 0
	21/316	29/78	3 0 1 G 5 F 0 5 8
	21/336		3 0 1 P

審査請求 未請求 請求項の数19 O L (全 23 頁)

(21) 出願番号 特願2000-66960 (P2000-66960)

(22) 出願日 平成12年3月10日 (2000.3.10)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 網島 祥隆

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 大宮 誠治

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

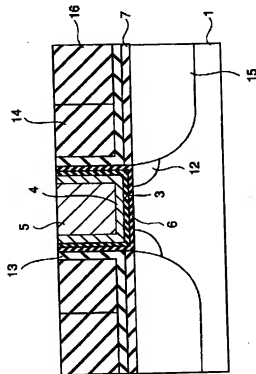
最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 金属酸化物膜或いは金属珪酸化物膜をゲート絶縁膜に用いた半導体装置の性能を向上させる。

【解決手段】 半導体基板1と金属酸化物膜3との間に、金属、シリコン及び酸素を含む絶縁膜6が形成されている。金属、シリコン及び酸素を含む絶縁膜6にはフッ素又は窒素の少なくとも一方が含まれている。金属酸化物膜3及び金属、シリコン及び酸素を含む絶縁膜6は非結晶膜である。金属酸化物膜3を構成する主たる金属元素と金属、シリコン及び酸素を含む絶縁膜6を構成する主たる金属元素とは異なっている。



【特許請求の範囲】

【請求項 1】 金属、シリコン及び酸素を含む絶縁膜をゲート絶縁膜の少なくとも一部に用いた半導体装置であって、前記金属、シリコン及び酸素を含む絶縁膜にフッ素又は窒素の少なくとも一方が含まれていることを特徴とする半導体装置。

【請求項 2】 金属酸化物膜をゲート絶縁膜の少なくとも一部に用いた半導体装置であって、半導体基板と前記金属酸化物膜との間に、金属、シリコン及び酸素を含む絶縁膜が形成され、前記金属、シリコン及び酸素を含む絶縁膜にフッ素又は窒素の少なくとも一方が含まれていることを特徴とする半導体装置。

【請求項 3】 金属酸化物膜をゲート絶縁膜の少なくとも一部に用いた半導体装置であって、半導体基板と前記金属酸化物膜との間に、金属、シリコン及び酸素を含む絶縁膜が形成され、前記金属酸化物膜及び前記金属、シリコン及び酸素を含む絶縁膜が非結晶膜であることを特徴とする半導体装置。

【請求項 4】 金属酸化物膜をゲート絶縁膜の少なくとも一部に用いた半導体装置であって、半導体基板と前記金属酸化物膜との間に、金属、シリコン及び酸素を含む絶縁膜が形成され、前記金属酸化物膜を構成する主たる金属元素と前記金属、シリコン及び酸素を含む絶縁膜を構成する主たる金属元素とが異なることを特徴とする半導体装置。

【請求項 5】 金属酸化物膜をゲート絶縁膜の少なくとも一部に用いた半導体装置の製造方法であって、半導体基板上に金属、シリコン及び酸素を含む絶縁膜を形成する工程と、前記金属、シリコン及び酸素を含む絶縁膜上に金属酸化物膜を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 6】 前記金属、シリコン及び酸素を含む絶縁膜を形成する工程の後、前記金属酸化物膜を形成する工程の前に、前記金属、シリコン及び酸素を含む絶縁膜の結晶化温度よりも低く且つ前記金属酸化物膜の結晶化温度よりも高い温度で熱処理を行うことを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 金属酸化物膜をゲート絶縁膜の少なくとも一部に用いた半導体装置の製造方法であって、半導体基板上に金属酸化物膜を形成した後、酸化力の異なる複数種類のガスを含む雰囲気中熱処理を行うことを特徴とする半導体装置の製造方法。

【請求項 8】 前記熱処理は、前記半導体基板と前記金属酸化物膜との境界領域のシリコンが酸化されず、前記金属酸化物膜に含まれる金属が酸化されるような条件で行われることを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 金属、シリコン及び酸素を含む絶縁膜をゲート絶縁膜の少なくとも一部に用いた半導体装置の製造方法であって、半導体基板上に金属、シリコン及び酸素

を含む絶縁膜を形成した後、酸化力の異なる複数種類のガスを含む雰囲気中熱処理を行うことを特徴とする半導体装置の製造方法。

【請求項 10】 前記熱処理は、前記半導体基板と前記金属、シリコン及び酸素を含む絶縁膜との境界領域のシリコンが酸化されず、前記金属、シリコン及び酸素を含む絶縁膜に含まれる金属が酸化されるような条件で行われることを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】 金属、シリコン及び酸素を含む絶縁膜をゲート絶縁膜の少なくとも一部に用いた半導体装置の製造方法であって、

半導体基板上にシリコン酸化膜系絶縁膜を形成する工程と、前記シリコン酸化膜系絶縁膜上に金属膜を形成する工程と、

熱処理により前記シリコン酸化膜系絶縁膜と前記金属膜とを反応させて金属、シリコン及び酸素を含む絶縁膜を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 12】 前記金属、シリコン及び酸素を含む絶縁膜を形成する際に、前記金属、シリコン及び酸素を含む絶縁膜上に前記金属膜の一部を残置させることを特徴とする請求項 11 に記載の半導体装置の製造方法。

【請求項 13】 半導体基板上にシリコン酸化膜系絶縁膜を形成する工程と、前記シリコン酸化膜系絶縁膜上に第 1 の金属膜を形成する工程と、

熱処理により前記シリコン酸化膜系絶縁膜と前記第 1 の金属膜とを反応させて第 1 の金属膜を構成する金属元素、シリコン及び酸素を含む絶縁膜を形成する工程と、前記熱処理の際に前記シリコン酸化膜系絶縁膜と反応せざに残置した前記第 1 の金属膜の一部を除去する工程と、

前記第 1 の金属膜の一部が除去された領域に前記第 1 の金属膜を構成する金属元素とは異なる金属元素で構成された第 2 の金属膜を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 14】 半導体基板上にシリコン酸化膜系絶縁膜を形成する工程と、前記シリコン酸化膜系絶縁膜上に第 1 の金属膜を形成する工程と、

前記第 1 の金属膜の一部を除去する工程と、前記第 1 の金属膜の一部が除去された領域に前記第 1 の金属膜を構成する金属元素とは異なる金属元素で構成された第 2 の金属膜を形成する工程と、

熱処理により、前記シリコン酸化膜系絶縁膜と前記第 1 の金属膜とを反応させて第 1 の金属膜を構成する金属元素、シリコン及び酸素を含む第 1 の絶縁膜を形成するとともに、前記シリコン酸化膜系絶縁膜と前記第 2 の金属

3

膜とを反応させて第2の金属膜を構成する金属元素、シリコン及び酸素を含む第2の絶縁膜を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項15】金属、シリコン及び酸素を含む絶縁膜をゲート絶縁膜の少なくとも一部に用いた第1及び第2の領域を有し、前記第1及び第2の領域の金属、シリコン及び酸素を含む絶縁膜を構成する金属元素が同一であり、且つ、前記第1及び第2の領域の金属、シリコン及び酸素を含む絶縁膜の金属元素、シリコン及び酸素の組成比が互いに異なることを特徴とする半導体装置。

【請求項16】金属酸化物膜をゲート絶縁膜の少なくとも一部に用いた第1の領域と、金属、シリコン及び酸素を含む絶縁膜をゲート絶縁膜の少なくとも一部に用いた第2の領域とを有し、前記第1の領域の金属酸化物膜を構成する金属元素と前記第2の領域の金属、シリコン及び酸素を含む絶縁膜を構成する金属元素とが同一であることを特徴とする半導体装置。

【請求項17】ゲート絶縁膜が互いに異なる第1及び第2の領域を有する半導体装置の製造方法であって、前記第1の領域の半導体基板上にシリコン酸化膜系絶縁膜を形成する工程と、

前記第1の領域のシリコン酸化膜系絶縁膜上及び前記第2の領域の半導体基板上に金属酸化物膜を形成する工程と、

前記第2の領域の金属酸化物膜と前記半導体基板のシリコンとを熱処理によって反応させて金属、シリコン及び酸素を含む絶縁膜を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項18】ゲート絶縁膜が互いに異なる第1及び第2の領域を有する半導体装置の製造方法であって、半導体基板上又は半導体基板上に形成されたシリコン酸化膜系絶縁膜上に金属酸化物膜を形成する工程と、前記第2の領域に形成された金属酸化物膜に選択的にシリコンを導入する工程と、

シリコンが導入された前記金属酸化物膜を熱処理によって金属、シリコン及び酸素を含む絶縁膜に変換する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項19】ゲート絶縁膜が互いに異なる第1及び第2の領域を有する半導体装置の製造方法であって、半導体基板上にシリコン酸化膜系絶縁膜を形成する工程と、

前記シリコン酸化膜系絶縁膜上に金属酸化物膜を形成する工程と、

前記第2の領域に形成された前記シリコン酸化膜系絶縁膜に選択的に損傷を与える工程と、

損傷が与えられた前記シリコン酸化膜系絶縁膜と前記金属酸化物膜とを熱処理によって反応させて金属、シリコン及び酸素を含む絶縁膜を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及び半導体装置の製造方法、特に金属酸化物膜や金属珪酸化物膜をゲート絶縁膜に用いた半導体装置及び半導体装置の製造方法に関するものである。

【0002】

【従来の技術】MISFETの微細化に伴いゲート絶縁膜の薄膜化が要求されているが、従来より用いられているシリコン酸化膜やシリコン酸窒化膜では、ダイレクタール電流の増加により、約2nmで薄膜化の限界に達してしまふ。

【0003】そこで、誘電率がシリコン酸化膜よりも高い金属酸化物膜や金属珪酸化物膜（金属シリケート膜）をゲート絶縁膜に用いることにより、実効膜厚を維持したまま、実際の膜厚（物理膜厚）を厚くして、リーク電流を抑制するという提案がなされている。

【0004】しかしながら、金属酸化物膜をゲート絶縁膜に用いた場合には、シリコン基板との間で良好な界面が得られ難いという問題がある。また、金属珪酸化物膜をゲート絶縁膜に用いた場合には、ある程度良好な界面が得られるが、金属酸化物膜に比べて誘電率が小さいという問題がある。

【0005】シリコン基板と金属酸化物膜との界面にシリコン酸窒化膜を形成するという方法も考えられるが、シリコン酸窒化膜の膜厚を1nm以下にすることは困難であり、ゲート絶縁膜の実効的な膜厚を薄くすることができない。

【0006】また、シリコン基板上に金属酸化物膜を形成した後、熱処理によってシリコン基板と金属酸化物膜との界面に金属珪酸化物膜を形成し、両者の積層構造にするという方法も考えられる。しかしながら、この場合には、両者の構成金属が必然的に同じものとなり、金属酸化物膜と金属珪酸化物膜との最適な組み合わせを得ることが難しいという問題がある。また、金属酸化物膜が結晶構造を有しているため、誘電率の結晶面方位依存性に起因して、局所的な実効膜厚がばらつくという問題もある。

【0007】一方、金属酸化物膜や金属珪酸化物膜はCVD法によって形成されることが多いが、CVD法によって形成された金属酸化物膜は、化学量論的組成からずれた酸な膜になりやすいという問題がある。

【0008】また、同一の基板上にゲート絶縁膜の異なるMISFETを作製しようとした場合、通常は、全面に金属酸化物膜を形成した後、ゲート絶縁膜厚を薄くしようとする領域の金属酸化物膜を除去し、さらにその後、全面に金属酸化物膜を形成する、といった工程を行う必要がある。そのため、工程が複雑化し、生産性が悪化するといった問題が生じる。

【0009】

(4)

5

【発明が解決しようとする課題】このように、ゲート絶縁膜の薄層化の限界に対して、シリコン酸化膜よりも誘電率の高い絶縁膜として、金属酸化物膜や金属珪酸化物膜を用いるという提案がなされているが、特性や生産性といった点で、多くの解決すべき課題が残されている。

【0010】本発明は上記従来の課題に対してなされたものであり、金属酸化物膜或いは金属珪酸化物膜をゲート絶縁膜に用いた半導体装置において、特性や生産性の向上をはかることが可能な半導体装置及びその製造方法を提供することを目的としている。

【0011】

【課題を解決するための手段】第1の発明は、金属、シリコン及び酸素を含む絶縁膜をゲート絶縁膜の少なくとも一部に用いた半導体装置であって、前記金属、シリコン及び酸素を含む絶縁膜にフッ素又は窒素の少なくとも一方が含まれていることを特徴とする。

【0012】第2の発明は、金属酸化物膜をゲート絶縁膜の少なくとも一部に用いた半導体装置であって、半導体基板と前記金属酸化物膜との間に、金属、シリコン及び酸素を含む絶縁膜が形成され、前記金属、シリコン及び酸素を含む絶縁膜にフッ素又は窒素の少なくとも一方が含まれていることを特徴とする。

【0013】第1及び第2の発明によれば、金属珪酸化物膜中にフッ素を含有させることにより、半導体基板を構成するシリコンと金属珪酸化物膜との界面に存在するタングリングバンドをフッ素によって終端させることができる。したがって、通常の金属珪酸化物膜よりも界面単位密度を低くすることができ、良好な界面特性を得ることが可能となる。

【0014】また、第1及び第2の発明によれば、金属珪酸化物膜中に窒素を含有させることにより、金属珪酸化物膜の誘電率を上げることができ、実効膜厚を薄くすることができる。また、例えば金属酸化物膜中の酸素欠損を補償するための酸化雰囲気でのアニールにおいて、半導体基板を構成するシリコンと金属珪酸化物膜との界面での酸化反応を抑制することができ、実効膜厚を薄くすることができるとともに、界面単位密度の低い良好な界面特性を得ることが可能となる。

【0015】このように、半導体基板と金属酸化物膜との間に、フッ素又は窒素の少なくとも一方が含まれた金属、シリコン及び酸素を含む絶縁膜を形成することにより、金属酸化物膜及び金属珪酸化物膜からなるゲート絶縁膜の実効膜厚の低減及びリーク電流の低減をはかることができることは勿論、良好な界面特性を有する高性能のトランジスタを実現することが可能となる。

【0016】第3の発明は、金属酸化物膜をゲート絶縁膜の少なくとも一部に用いた半導体装置であって、半導体基板と前記金属酸化物膜との間に、金属、シリコン及び酸素を含む絶縁膜が形成され、前記金属酸化物膜及び前記金属、シリコン及び酸素を含む絶縁膜が非結晶膜で

あることを特徴とする。

【0017】第4の発明は、金属酸化物膜をゲート絶縁膜の少なくとも一部に用いた半導体装置であって、半導体基板と前記金属酸化物膜との間に、金属、シリコン及び酸素を含む絶縁膜が形成され、前記金属酸化物膜を構成する主たる金属元素と前記金属、シリコン及び酸素を含む絶縁膜を構成する主たる金属元素とが異なることを特徴とする。

【0018】第5の発明は、金属酸化物膜をゲート絶縁膜の少なくとも一部に用いた半導体装置の製造方法であって、半導体基板上に金属、シリコン及び酸素を含む絶縁膜を形成する工程と、前記金属、シリコン及び酸素を含む絶縁膜上に金属酸化物膜を形成する工程と、を有することを特徴とする。

【0019】第5の発明において、前記金属、シリコン及び酸素を含む絶縁膜を形成する工程の後、前記金属酸化物膜を形成する工程の前に、前記金属、シリコン及び酸素を含む絶縁膜の結晶化温度よりも低く且つ前記金属酸化物膜の結晶化温度よりも高い温度で熱処理を行うことが好ましい。

【0020】第3の発明によれば、金属酸化物膜及び金属珪酸化物膜からなるゲート絶縁膜の実効膜厚の低減及びリーク電流の低減をはかることができるという基本的な効果が得られる他、金属酸化物膜及び金属、シリコン及び酸素を含む絶縁膜が非結晶膜であるため、誘電率の結晶面方位依存性に起因する局所的な実効膜厚のばらつきが低減され、しきい値電圧等のばらつきのない信頼性に優れたトランジスタを得ることができる。

【0021】第4の発明によれば、金属酸化物膜及び金属珪酸化物膜からなるゲート絶縁膜の実効膜厚の低減及びリーク電流の低減をはかることができるという基本的な効果が得られる他、金属酸化物膜を構成する主たる金属元素と金属、シリコン及び酸素を含む絶縁膜を構成する主たる金属元素とが異なるため、それぞれに適した金属元素を選択することにより、安定な金属珪酸化物膜によって良好な界面特性を得ることができるとともに、金属酸化物膜として誘電率の高いものを用いることができ、優れた特性を有するトランジスタを得ることができる。

【0022】第5の発明によれば、従来のように、金属酸化物膜を形成した後に熱処理によって金属、シリコン及び酸素を含む絶縁膜を形成するのではなく、金属、シリコン及び酸素を含む絶縁膜を形成した後に金属酸化物膜を形成するので、金属酸化物膜の主たる構成金属元素と金属、シリコン及び酸素を含む絶縁膜の主たる構成金属元素とを容易に異ならせることができる。また、金属、シリコン及び酸素を含む絶縁膜を形成する工程の後、金属酸化物膜を形成する工程の前に、金属、シリコン及び酸素を含む絶縁膜の結晶化温度よりも低く且つ金属酸化物膜の結晶化温度よりも高い温度で熱処理を行う

20

30

40

50

ことにより、金属、シリコン及び酸素を含む絶縁膜並びに金属酸化物膜の非晶質膜を容易に得ることができる。

【0023】第6の発明は、金属酸化物膜をゲート絶縁膜の少なくとも一部に用いた半導体装置の製造方法であって、半導体基板上に金属酸化物膜を形成した後、酸化力の異なる複数種類のガスを含む雰囲気中で熱処理を行うことを特徴とする。

【0024】第6の発明において、前記熱処理は、前記半導体基板と前記金属酸化物膜との境界領域のシリコンが酸化されず、前記金属酸化物膜に含まれる金属が酸化されるような条件で行われることが好ましい。

【0025】第7の発明は、金属、シリコン及び酸素を含む絶縁膜をゲート絶縁膜の少なくとも一部に用いた半導体装置の製造方法であって、半導体基板上に金属、シリコン及び酸素を含む絶縁膜を形成した後、酸化力の異なる複数種類のガスを含む雰囲気中で熱処理を行うことを特徴とする。

【0026】第7の発明において、前記熱処理は、前記半導体基板と前記金属、シリコン及び酸素を含む絶縁膜との境界領域のシリコンが酸化されず、前記金属、シリコン及び酸素を含む絶縁膜に含まれる金属が酸化されるような条件で行われることが好ましい。

【0027】第6及び第7の発明によれば、酸化力の異なる複数種類のガスを含む雰囲気中で熱処理を行うことにより、半導体基板と金属酸化物膜との界面領域内には半導体基板と金属、シリコン及び酸素を含む絶縁膜との界面領域にシリコン酸化膜を形成することなく、金属酸化物膜内には金属、シリコン及び酸素を含む絶縁膜の組成を化学量論的組成に近づけることができ、緻密な金属酸化物膜内には金属、シリコン及び酸素を含む絶縁膜を得ることができる。したがって、ゲート絶縁膜の実効膜厚の低減及びリーク電流の低減をはかることができ、優れた特性を有するトランジスタを得ることができる。

【0028】第8の発明は、金属、シリコン及び酸素を含む絶縁膜をゲート絶縁膜の少なくとも一部に用いた半導体装置の製造方法であって、半導体基板上にシリコン酸化膜系絶縁膜を形成する工程と、前記シリコン酸化膜系絶縁膜上に金属膜を形成する工程と、熱処理により前記シリコン酸化膜系絶縁膜と前記金属膜とを反応させて金属、シリコン及び酸素を含む絶縁膜を形成する工程と、を有することを特徴とする。

【0029】第8の発明において、前記金属、シリコン及び酸素を含む絶縁膜を形成する際に、前記金属、シリコン及び酸素を含む絶縁膜上に前記金属膜の一部を残置させるようにしてもよい。

【0030】第9の発明に係る半導体装置の製造方法は、半導体基板上にシリコン酸化膜系絶縁膜を形成する工程と、前記シリコン酸化膜系絶縁膜上に第1の金属膜を形成する工程と、熱処理により前記シリコン酸化膜系絶縁膜と前記第1の金属膜とを反応させて第1の金属膜

を形成する金属元素、シリコン及び酸素を含む絶縁膜を形成する工程と、前記熱処理の際に前記シリコン酸化膜系絶縁膜と反応せずに残置した前記第1の金属膜の一部を除去する工程と、前記第1の金属膜の一部が除去された領域に前記第1の金属膜を形成する金属元素とは異なる金属元素で構成された第2の金属膜を形成する工程と、を有することを特徴とする。

【0031】第10の発明に係る半導体装置の製造方法は、半導体基板上にシリコン酸化膜系絶縁膜を形成する工程と、前記シリコン酸化膜系絶縁膜上に第1の金属膜を形成する工程と、前記第1の金属膜の一部を除去する工程と、前記第1の金属膜の一部が除去された領域に前記第1の金属膜を構成する金属元素とは異なる金属元素で構成された第2の金属膜を形成する工程と、熱処理により、前記シリコン酸化膜系絶縁膜と前記第1の金属膜とを反応させて第1の金属膜を構成する金属元素、シリコン及び酸素を含む第1の絶縁膜を形成するとともに、前記シリコン酸化膜系絶縁膜と前記第2の金属膜とを反応させて第2の金属膜を構成する金属元素、シリコン及び酸素を含む第2の絶縁膜を形成する工程と、を有することを特徴とする。

【0032】第8乃至第10の発明によれば、熱処理によってシリコン酸化膜系絶縁膜と金属膜とを反応させて金属、シリコン及び酸素を含む絶縁膜を形成することにより、膜質に優れた誘電率の高い絶縁膜を得ることができる。また、熱処理の際に、金属、シリコン及び酸素を含む絶縁膜上に金属膜の一部を残置させることにより、残留した金属膜をゲート電極として用いることができ、製造工程の簡略化、生産性の向上をはかることができる。また、第9及び第10の発明によれば、ゲート電極に異なった金属を用いたデュアルメタルトランジスタを容易に作製することができる。

【0033】第11の発明に係る半導体装置は、金属、シリコン及び酸素を含む絶縁膜をゲート絶縁膜の少なくとも一部に用いた第1及び第2の領域を有し、前記第1及び第2の領域の金属、シリコン及び酸素を含む絶縁膜を構成する金属元素が同一であり、且つ、前記第1及び第2の領域の金属、シリコン及び酸素を含む絶縁膜の金属元素、シリコン及び酸素の組成比が互いに異なることを特徴とする。

【0034】第12の発明に係る半導体装置は、金属酸化物膜をゲート絶縁膜の少なくとも一部に用いた第1の領域と、金属、シリコン及び酸素を含む絶縁膜をゲート絶縁膜の少なくとも一部に用いた第2の領域とを有し、前記第1の領域の金属酸化物膜を構成する金属元素と前記第2の領域の金属、シリコン及び酸素を含む絶縁膜を構成する金属元素とが同一であることを特徴とする。

【0035】第13の発明は、ゲート絶縁膜が互いに異なる第1及び第2の領域を有する半導体装置の製造方法であって、前記第1の領域の半導体基板上にシリコン酸

化膜系絶縁膜を形成する工程と、前記第1の領域のシリコン酸化膜系絶縁膜上及び前記第2の領域の半導体基板上に金属酸化物膜を形成する工程と、前記第2の領域の金属酸化物膜と前記半導体基板のシリコンを熱処理によって反応させて金属、シリコン及び酸素を含む絶縁膜を形成する工程と、を有することを特徴とする。

【0036】第14の発明は、ゲート絶縁膜が互いに異なる第1及び第2の領域を有する半導体装置の製造方法であって、半導体基板上又は半導体基板上に形成されたシリコン酸化膜系絶縁膜上に金属酸化物膜を形成する工程と、前記第2の領域に形成された金属酸化物膜に選択的にシリコンを導入する工程と、シリコンが導入された前記金属酸化物膜を熱処理によって金属、シリコン及び酸素を含む絶縁膜に変換する工程と、を有することを特徴とする。

【0037】第15の発明は、ゲート絶縁膜が互いに異なる第1及び第2の領域を有する半導体装置の製造方法であって、半導体基板上にシリコン酸化膜系絶縁膜を形成する工程と、前記シリコン酸化膜系絶縁膜上に金属酸化物膜を形成する工程と、前記第2の領域に形成された前記シリコン酸化膜系絶縁膜に選択的に損傷を与える工程と、損傷を与えられ前記シリコン酸化膜系絶縁膜と前記金属酸化物膜とを熱処理によって反応させて金属、シリコン及び酸素を含む絶縁膜を形成する工程と、を有することを特徴とする。

【0038】第11及び第12の発明によれば、第1の領域と第2の領域とで金属、シリコン及び酸素の組成比を異ならせることにより（第12の発明では、第1の領域の金属酸化物膜のシリコンの組成比は実質的にゼロ）、第1の領域と第2の領域とで実効膜厚の異なったゲート絶縁膜構造を得ることができる。また、第1乃至第15の発明によれば、このような実効膜厚の異なったゲート絶縁膜構造を生産性よく容易に作製することができる。

【0039】なお、上記各発明において、金属、シリコン及び酸素を含む絶縁膜は、実質的には金属珪酸化物膜（金属シリケート膜）を指す。また、金属珪酸化物膜には、金属酸化物とシリコン酸化物が相分離して混合物となつて存在している態様、金属、シリコン及び酸素が化合物として一様に存在している態様があるものとす。

【0040】

【発明の実施の形態】（実施形態1）以下、本発明の第1の実施形態を図面を参照して説明する。

【0041】（実施形態1（A））図1は、本発明の実施形態1（A）に係る半導体装置の構成例を示した断面図である。

【0042】シリコン基板1上に、ゲート絶縁膜として、金属珪酸化物膜（金属シリケート膜、ここではジルコニウム珪酸化物膜）6及び金属酸化物膜3（ここではジルコニウム酸化物膜）が形成されており、金属酸化物

膜3上には、ゲート電極として、チタン窒化膜4及びタングステン膜5が形成されている。

【0043】ジルコニウム珪酸化物膜6の膜厚は約1.5 nm、ジルコニウム酸化物膜3の膜厚は約3 nmで、それぞれのシリコン酸化膜換算膜厚はいずれも約0.5 nmであり、実効的なゲート絶縁膜厚は約1 nmである。ゲート電極とシリコン基板1との間のジルコニウム珪酸化物膜6中には、微量のフッ素が含まれている。また、ゲート電極の幅は50 nm程度である。

【0044】ジルコニウム珪酸化物膜6に含まれるフッ素の量は、単位体積当たりの原子数が、 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ であることが望ましい。特に、シリコン基板1との界面付近において、 $5 \times 10^{19} \text{ cm}^{-3} \sim 5 \times 10^{20} \text{ cm}^{-3}$ の濃度ピークを持つようにすることが望ましい。

【0045】なお、金属珪酸化物膜6としては、ジルコニウム珪酸化物膜の他、ハフニウム珪酸化物膜、ランタニウム珪酸化物膜、ガドリニウム珪酸化物膜、イットリウム珪酸化物膜、アルミニウム珪酸化物膜、チタニウム珪酸化物膜を用いてもよい。また、これらの金属元素（Zr, Hf, La, Gd, Y, Al, Ti）を2種類以上含む金属珪酸化物膜を用いてもよい。

【0046】また、金属酸化物膜3としては、ジルコニウム酸化物膜の他、タンタル酸化物膜、チタン酸化物膜、ランタン酸化物膜、ハフニウム酸化物膜、ガドリニウム酸化物膜、イットリウム酸化物膜、アルミニウム酸化物膜を用いてもよい。また、これらの金属元素（Zr, Ta, Ti, La, Hf, Gd, Y, Al）を2種類以上含む金属酸化物膜を用いてもよい。

【0047】次に、図2（a）～図4（i）を参照して、本実施形態に係る半導体装置の製造方法を説明する。

【0048】まず、図2（a）に示すように、STI技術によって素子分離領域（図示せず）が形成されたシリコン基板1の表面に、熱酸化法により膜厚3 nmのシリコン酸化膜7を形成する。続いて、膜厚50 nmのポリシリコン膜8及び膜厚30 nmのシリコン窒化膜9を、LPCVD法を用いて堆積する。

【0049】次に、図2（b）に示すように、リソグラフィ技術及びRIE法を用いてシリコン窒化膜9及びポリシリコン膜8を選択的に除去し、ゲート電極が形成される予定領域にダミーゲートパターン10を形成する。

【0050】次に、図2（c）に示すように、1000℃での熱酸化により、ポリシリコン膜8の側壁にシリコン酸化膜11を形成する。その後、例えば、加速電圧15 keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ の条件下でAsのイオン注入を行い、ゲート電極に対して自己整合的にソース・ドレインのエクステンション領域12を形成する。

【0051】次に、図3（d）に示すように、例えば800℃、10秒のRTAを行った後、全面に膜厚10 nm

mのシリコン窒化膜13及び膜厚50nmのシリコン酸化膜14を、LPCVD法を用いて堆積する。その後、エッチバックを行うことにより、シリコン酸化膜14の側壁を形成する。

【0052】次に、図3(e)に示すように、例えば、加速電圧35keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でAsのイオン注入を行い、引き続き1035℃、10秒のRTAを行うことにより、ソース・ドレイン拡散層15が形成される。

【0053】次に、図3(f)に示すように、全面に膜厚100nmのシリコン酸化膜16を堆積し、続いてCMP法を用いて平坦化を行うことにより、ダミーゲートパターン10の上部を露出させる。

【0054】次に、図4(g)に示すように、ホット燐酸を用いてシリコン窒化膜9を除去し、続いてドライエッチングを用いてポリシリコン膜8を除去する。さらに、しきい値調整のためのチャネルイオン注入及び活性化アニールを行う。その後、シリコン酸化膜7を希弗酸溶液を用いて除去し、チャネル領域となるシリコン基板1の表面を露出させる。

【0055】次に、図4(h)に示すように、塩化ジルコニウム(ZrCl_4)、テトラエトキシシラン(TEOS 、 $\text{Si}(\text{OC}_2\text{H}_5)_4$)及び、酸化剤である O_2 、 N_2O 、 NO 又は H_2O を用いたLPCVD法により、膜厚約1.5nmのジルコニウム珪酸化物膜6を堆積する。続いて、800℃、30秒のアニールを行った後、塩化ジルコニウム(ZrCl_4)及び、酸化剤である O_2 、 N_2O 、 NO 又は H_2O を用いたLPCVD法により、膜厚約3nmのジルコニウム酸化物膜3を堆積する。

【0056】次に、図4(i)に示すように、全面に膜厚10nmのタンタル窒化膜4及び膜厚100nmのタングステン膜5を堆積する。その後、加速電圧30keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ の条件でフッ素のイオン注入を行い、タングステン膜5の中にフッ素を導入する。

【0057】その後、CMP法を用いて平坦化を行う。さらに、非酸化性の雰囲気(例えば、窒素気又はアルゴン雰囲気)で、500℃〜650℃程度の温度でアニールを行う。このアニール処理により、タングステン膜5中に導入したフッ素が拡散し、シリコン基板1との界面に形成されたジルコニウム珪酸化物膜6中にフッ素が偏析する。

【0058】以上のようにして、図1に示したような構造が作製される。その後、通常の配線工程を経て、トランジスタが完成する。

【0059】このように、本実施形態では、高誘電体膜である金属珪酸化物膜とチャネル領域となるシリコン基板との間の界面領域に、シリコン酸化膜及びシリコン酸化膜(SiON膜)よりも誘電率の高い金属珪酸化物膜

を形成することにより、界面領域におけるシリコン酸化膜換算膜厚を1nm以下にすることが可能になる。

【0060】また、金属珪酸化物膜中にフッ素を添加することにより、シリコン基板との界面に存在するタンダリングボンドを終端させることができるため、通常の金属珪酸化物膜よりも界面単位密度が低くなり、良好な界面特性を実現することも可能となる。

【0061】したがって、金属珪酸化物膜及び金属珪酸化物膜からなるゲート絶縁膜の実効膜厚を極薄化することが可能になるとともに、リーク電流が少く且つ短チャネル効果が抑制された高性能のトランジスタを実現することができる。

【0062】なお、本実施形態では、ゲート絶縁膜形成後に高温熱工程の無いダマシゲートプロセスを用いた例を示したが、金属ゲート電極の代わりに多結晶シリコン膜をゲート電極とする、通常のトランジスタ形成プロセスを用いても、同様の効果を得ることが可能である。

【0063】また、本実施形態では、ゲート絶縁膜に金属珪酸化物膜及び金属珪酸化物膜の積層構造を用いたが、金属珪酸化物膜の単層膜を用い、この金属珪酸化物膜中にフッ素を含有させるようにしてもよい。

【0064】(実施形態1(B))図5は、本発明の実施形態1(B)に係る半導体装置の構成例を示した断面図である。基本的な構造は、図1に示した実施形態1(A)と類似しており、図1に示した構成要素に対応する構成要素には同一の参照番号を付している。

【0065】ジルコニウム珪酸化物膜6の膜厚は約1.5nm、ジルコニウム酸化物膜3の膜厚は約3nmで、それぞれのシリコン酸化膜換算膜厚はいずれも約0.5nmであり、実効的なゲート絶縁膜厚は約1nmである。ゲート電極とシリコン基板1との間のジルコニウム珪酸化物膜6中には、微量の窒素が含まれている。また、ゲート電極の幅は50nm程度である。

【0066】ジルコニウム珪酸化物膜6に含まれる窒素の量は、全原子数を面密度に換算して、 $1 \times 10^{14} \text{ cm}^{-2} \sim 1 \times 10^{15} \text{ cm}^{-2}$ であることが望ましい。特に、シリコン基板1との界面付近において濃度ピークを持つようにすることが望ましい。

【0067】なお、ジルコニウム珪酸化物膜6及びジルコニウム酸化物膜3の代わりに、実施形態1(A)と同様、各種の金属珪酸化物膜及び金属酸化物膜を用いることも可能である。

【0068】次に、図6(a)〜図7(d)を参照して、本実施形態に係る半導体装置の製造方法を説明する。なお、途中の工程(図4(g)までの工程)までは実施形態1(A)と同様であるため、ここではその後の工程について説明する。

【0069】図4(g)に示した工程の後、図6(a)に示すように、露出したシリコン基板1の表面に、膜厚約0.7nmのシリコン窒化膜18を形成する。

【0070】次に、図6(b)に示すように、塩化ジルコニウム($ZrCl_4$)と O_2 又は H_2O を用いたLPCVD法により、膜厚約1nmのジルコニウム酸化物膜19を堆積する。

【0071】続いて、図7(c)に示すように、800℃、30秒の条件でアニールを行うことにより、溝の底面にのみ、膜厚約1.5nmの窒素を含んだジルコニウム珪酸化物膜6が形成される。

【0072】次に、図7(d)に示すように、塩化ジルコニウム($ZrCl_4$)及び、酸化剤である O_2 、 N_2O 、 NO 又は H_2O を用いたLPCVD法により、膜厚約3nmのジルコニウム酸化物膜3を堆積する。続いて、400℃、3分の条件で、オゾン雰囲気にてアニールを行うことにより、成膜直後に存在するジルコニウム酸化物膜3中の酸素欠陥を補償する。

【0073】その後、全面に膜厚10nmのチタン酸化膜4及び膜厚100nmのタンタムステン膜5を堆積し、さらにCMP法を用いて平坦化を行う。このようにして、図5に示したような構造が作製される。その後、通常の配線工程を経て、トランジスタが完成する。

【0074】このように、本実施形態においても、実施形態1(A)と同様、金属酸化物膜とシリコン基板との間の界面領域に金属珪酸化物膜を形成することにより、界面領域におけるシリコン酸化膜換算膜厚を1nm以下にすることが可能になる。

【0075】また、金属珪酸化物膜中に窒素を添加することにより、金属珪酸化物膜自身の誘電率を上げることができる。その結果、ゲート絶縁膜の実効膜厚が薄くなり、トランジスタの性能を向上させることができる。また、金属珪酸化物膜中に窒素を添加することにより、金属珪酸化物膜中の酸素欠陥を補償するための酸化雰囲気でのアニールにおいて、酸化剤による金属珪酸化物膜/シリコン界面での酸化反応を抑制することができる。その結果、ゲート絶縁膜の実効膜厚を薄くすることができる。とともに、低温化工程での界面単位増加を低く抑えることができ、良好な界面特性を実現することができる。

【0076】したがって、金属酸化物膜及び金属珪酸化物膜からなるゲート絶縁膜の実効膜厚を極薄化することが可能になるとともに、リーク電流が少なく且つ短チャネル効果が抑制された高性能のトランジスタを実現することができる。

【0077】なお、本実施形態では、ゲート絶縁膜に金属酸化物膜及び金属珪酸化物膜の積層構造を用いたが、金属珪酸化物膜の単層膜を用い、この金属珪酸化物膜中に窒素を含有させるようにしてもよい。また、ダマシシゲートプロセスに限らず、通常のトランジスタ形成プロセスに用いることも可能である。

【0078】(実施形態2)以下、本発明の第2の実施形態を図面を参照して説明する。なお、図面について

は、第1の実施形態の説明に用いたものを援用することができ、それらの図面を用いて説明を行う。

【0079】(実施形態2(A))図1は、本発明の実施形態2(A)に係る半導体装置の構成例を示した断面図である。

【0080】シリコン基板1上に、ゲート絶縁膜として、金属珪酸化物膜(金属シリケート膜、ここではジルコニウム珪酸化物膜)6及び金属酸化物膜3(ここではタンタル酸化物膜)が形成されており、金属酸化物膜3上には、ゲート電極として、チタン酸化膜4及びタンタムステン膜5が形成されている。

【0081】ジルコニウム珪酸化物膜6の膜厚は約1.5nm、タンタル酸化物膜3の膜厚は約3nmで、それぞれのシリコン酸化膜換算膜厚はいずれも約0.5nmであり、実効的なゲート絶縁膜厚は約1nmである。また、ゲート電極の幅は50nm程度である。

【0082】なお、金属珪酸化物膜6としては、ジルコニウム珪酸化物膜の他、ハフニウム珪酸化物膜、ランタニウム珪酸化物膜、ガドリニウム珪酸化物膜、イットリウム珪酸化物膜、アルミニウム珪酸化物膜、チタニウム珪酸化物膜を用いてもよい。また、これらの金属元素を2種類以上含む金属珪酸化物膜を用いてもよい。

【0083】また、金属酸化物膜3としては、タンタル酸化物膜の他、チタン酸化物膜、ランタン酸化物膜、ハフニウム酸化物膜、ジルコニウム酸化物膜、ガドリニウム酸化物膜、イットリウム酸化物膜、アルミニウム酸化物膜を用いてもよい。また、これらの金属元素を2種類以上含む金属酸化物膜を用いてもよい。

【0084】次に、図2(a)～図4(h)を参照して、本実施形態に係る半導体装置の製造方法を説明する。

【0085】まず、図2(a)に示すように、STI技術によって素子分離領域(図示せず)が形成されたシリコン基板1の表面に、熱酸化法により膜厚3nmのシリコン酸化膜7を形成する。続いて、膜厚50nmのポリシリコン膜8及び膜厚30nmのシリコン窒化膜9を、LPCVD法を用いて堆積する。

【0086】次に、図2(b)に示すように、リソグラフィ技術及びRIE法を用いてシリコン窒化膜9及びポリシリコン膜8を選択的に除去し、ゲート電極が形成される予定領域にダミーゲートパターン10を形成する。

【0087】次に、図2(c)に示すように、1000℃の熱酸化により、ポリシリコン膜8の側壁にシリコン酸化膜11を形成する。その後、例えば、加速電圧15keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ の条件でAsのイオン注入を行い、ゲート電極に対して自己整合的にソース・ドレインのエクステンション領域12を形成する。

【0088】次に、図3(d)に示すように、例えば800℃、10秒のRTAを行った後、全面に膜厚10nmのシリコン窒化膜13及び膜厚50nmのシリコン酸

15

化膜14を、LPCVD法を用いて堆積する。その後、エッチバックを行うことにより、シリコン酸化膜14の側壁を形成する。

【0089】次に、図3(e)に示すように、例えば、加速電圧35keV、ドーズ量 $5 \times 10^{15} \text{cm}^{-2}$ の条件でAsのイオン注入を行い、引き続き1035℃、10秒のRTAを行うことにより、ソース・ドレイン拡散層15が形成される。

【0090】次に、図3(f)に示すように、全面に膜厚100nmのシリコン酸化膜16を堆積し、続いてCMP法を用いて平坦化を行うことにより、ダミーゲートパターン10の上部を露出させる。

【0091】次に、図4(g)に示すように、ホット磷酸を用いてシリコン窒化膜9を除去し、続いてドライエッチングを用いてポリシリコン膜8を除去する。さらに、しきい値調整のためのチャネルイオン注入及び活性化アニールを行う。その後、シリコン酸化膜7を希希酸溶液を用いて除去し、チャネル領域となるシリコン基板1の表面を露出させる。

【0092】次に、図4(h)に示すように、テトラ $\text{Zr}(\text{t-O-C-Hg})_4$ 、テトラエキシルシラン(TEOS、 $\text{Si}(\text{OC}_2\text{H}_5)_4$)及び、 O_2 又は H_2O を用いたLPCVD法により、膜厚約1.5nmのジルコニウム珪酸化物膜6を堆積する。続いて、800℃、30秒のアニールを行った後、ペンタエキシルタリウム($\text{Ta}(\text{OC}_2\text{H}_5)_5$)及び O_2 を用いたLPCVD法により、600℃の温度で膜厚約3nmのタンタル酸化物膜3を堆積する。

【0093】次に、図4(i)に示すように、全面に膜厚10nmのチタン窒化膜4及び膜厚100nmのタンダステン膜5を堆積し、さらにCMP法を用いて平坦化を行う。

【0094】以上のようにして、図1に示したような構造が作製される。その後、通常の配線工程等を経て、トランジスタが完成する。配線工程は通常500℃以下で行われるため、タンタル酸化物膜3は非晶質状態を維持している。

【0095】このように、本実施形態では、高誘電体膜である金属珪酸化物膜とチャネル領域となるシリコン基板との間の界面領域に、シリコン酸化膜及びシリコン窒化膜(SiON膜)よりも誘電率の高い金属珪酸化物膜を形成することにより、界面領域におけるシリコン酸化膜換算膜厚を1nm以下にすることが可能になり、また良好な界面特性を実現することが可能となる。

【0096】したがって、金属珪酸化物膜及び金属珪酸化物膜からなるゲート絶縁膜の有効膜厚を極薄化することが可能になるとともに、リーク電流が少なく且つ短チャネル効果が抑制された高性能のトランジスタを実現することができる。

16

【0097】また、従来のように、金属珪酸化物膜を形成した後に熱処理によってシリコン基板と金属珪酸化物膜との界面に金属珪酸化物膜を形成するのではなく、本実施形態では、金属珪酸化物膜を堆積した後に金属珪酸化物膜を堆積するので、金属珪酸化物膜の主たる構成金属元素と金属珪酸化物膜の主たる構成金属元素とを異ならせることができる。したがって、安定な金属珪酸化物膜により良好な界面特性を得ることができるとともに、誘電率の高い金属珪酸化物膜を金属珪酸化物膜上に形成することが可能である。

【0098】また、金属珪酸化物膜を堆積した後、金属珪酸化物膜の結晶化温度よりも高く且つ金属珪酸化物膜の結晶化温度よりも高い温度で熱処理を行い、その後金属珪酸化物膜を堆積することにより、金属珪酸化物膜及び金属珪酸化物膜をともに非晶質にすることが可能である。したがって、誘電率の結晶面方位依存性に起因する局所的な有効膜厚のばらつきが低減され、しきい値電圧等のばらつきの少ない信頼性に優れたトランジスタを得ることできる。

【0099】なお、本実施形態においても、第1の実施形態と同様、金属珪酸化物膜中にフッ素及び窒素の少なくとも一方を添加するようにしてもよい。また、ダミーゲートプロセスに限らず、通常のトランジスタ形成プロセスに用いることも可能である。ただし、この場合は、金属珪酸化物膜が結晶化することもある。

【0100】(実施形態2(B)) 図5は、本発明の実施形態2(B)に係る半導体装置の構成例を示した断面図である。基本的な構造は、図1に示した実施形態2(A)と類似しており、図1に示した構成要素に対応する構成要素には同一の参照番号を付している。

【0101】本実施形態では、金属珪酸化物膜3としてジルコニウム酸化物膜を、金属珪酸化物膜6としてジルコニウム珪酸化物膜を用いている。ジルコニウム珪酸化物膜6の膜厚は約1.5nm、ジルコニウム酸化物膜3の膜厚は約3nmで、それぞれのシリコン酸化膜換算膜厚はいずれも約0.5nmであり、実効的なゲート絶縁膜厚は約1nmである。また、ゲート電極の幅は50nm程度である。

【0102】なお、ジルコニウム珪酸化物膜6及びジルコニウム酸化物膜3の代わりに、実施形態2(A)と同様、各種の金属珪酸化物膜及び金属珪酸化物膜を用いることも可能である。

【0103】次に、図6(a)～図7(d)を参照して、本実施形態に係る半導体装置の製造方法を説明する。なお、途中の工程(図4(g)までの工程)までは実施形態2(A)と同様であるため、ここではその後の工程について説明する。

【0104】図4(g)に示した工程の後、図6(a)に示すように、露出したシリコン基板1の表面に、膜厚約0.7nmのシリコン窒化膜18を形成する。

【0105】次に、図6(b)に示すように、テトラ一シヤリプトキシジルコニウム ($Zr(t-O-C_4H_9)_4$) 及び、 O_2 又は H_2O を用いた LPCVD 法により、膜厚約 1 nm のジルコニウム酸化物膜 19 を堆積する。

【0106】続いて、図7(c)に示すように、800℃、30秒の条件でアニールを行うことにより、溝の底面にのみ、膜厚約 1.5 nm のジルコニウム珪酸化物膜 6 が形成される。

【0107】次に、図7(d)に示すように、テトラ一シヤリプトキシジルコニウム ($Zr(t-O-C_4H_9)_4$) 及び、 O_2 又は H_2O を用いた LPCVD 法により、膜厚約 3 nm のジルコニウム酸化物膜 3 を堆積する。

【0108】その後、全面に膜厚 10 nm のチタン酸化膜 4 及び膜厚 100 nm のタングステン膜 5 を堆積し、さらに CMP 法を用いて平坦化を行う。このようにして、図5に示したような構造が作製される。その後、通常の配線工程を経て、トランジスタが完成する。配線工程は通常 500℃以下で行われるため、ジルコニウム酸化物膜 3 は非晶質状態を維持している。

【0109】このように、本実施形態においても、実施形態 2 (A) と同様、金属酸化物膜とシリコン基板との間の界面領域に金属珪酸化物膜を形成することにより、界面領域におけるシリコン酸化膜換算膜厚を 1 nm 以下にすることが可能となり、また良好な界面特性を実現することが可能となる。

【0110】したがって、金属酸化物膜及び金属珪酸化物膜からなるゲート絶縁膜の実効膜厚を極薄化することが可能になるとともに、リーク電流が少なく且つ短チャネル効果が抑制された高性能のトランジスタを実現することが可能である。

【0111】また、金属酸化物膜及び金属珪酸化物膜をともに非晶質にすることができると、誘電率の結晶面方位依存性に起因する局所的な実効膜厚のばらつきが低減され、しきい値電圧等のばらつきの少ない信頼性に優れたトランジスタを得ることができる。

【0112】なお、本実施形態においても、第1の実施形態と同様、金属珪酸化物膜中にフッ素及び窒素の少なくとも一方を添加するようにしてもよい。また、ダメージ工程プロセスに限らず、通常のトランジスタ形成プロセスに用いることも可能である。ただし、この場合は、金属酸化物膜が結晶化することもある。

【0113】(実施形態 3) 以下、本発明の第3の実施形態を図面を参照して説明する。

【0114】(実施形態 3 (A)) 図 8 (a) ~ 図 10 (h) は、本発明の実施形態 3 (A) に係る半導体装置の製造方法を示した工程断面図である。

【0115】まず、図 8 (a) に示すように、シリコン基板 101 に As をイオン注入し、続いて熱拡散を行う

ことにより、深さ 1 μm 程度の N 型領域 102 を形成する。

【0116】次に、図 8 (b) に示すように、所定の領域に膜厚 600 nm 程度のシリコン酸化膜を埋め込み、STI 構造の素子分離領域 103 を形成する。

【0117】次に、図 8 (c) に示すように、膜厚 10 nm 程度の保護酸化膜 104 を形成する。続いて、トランジスタのしきい値電圧を調整するための不純物イオン 105 を注入する。

【0118】次に、保護酸化膜 104 を剥離した後、図 9 (d) に示すように、膜厚 1 nm 程度のシリコン酸窒化膜 (SION 膜) 106 を形成する。引き続き、CVD 法等により、膜厚数 nm の GdO_x からなる金属酸化物膜 (高誘電体膜) 107 を形成する。CVD 法等で形成された金属酸化物膜は、一般に化学量論的組成と異なった疎な膜である。そこで、金属酸化物膜 107 を化学量論的組成に近づけるために、酸化処理 (熱処理) を行う。この酸化処理では、シリコン基板 101 表面のシリコンが酸化されず、金属酸化物膜 107 のみが選択的に酸化されるようにする。そのため、酸化力の異なる 2 種類のガスを含む雰囲気中熱処理を行う。具体的には、酸化剤である水蒸気 (H_2O) と還元剤である水素 (H_2) を含む雰囲気中熱処理を行う。

【0119】図 11 は、シリコン及びガドリニウムの酸化における平衡水素・水蒸気分圧曲線である。シリコン酸化膜と金属酸化物膜との標準自由エネルギーが異なるため、水素と水蒸気の方分圧を適切に選択することにより、金属酸化物膜に対しては酸化性で、シリコン酸化膜に対しては還元性の雰囲気中を形成することができる。Gibbs 自由エネルギーに基づく熱力学的計算によれば、図 11 のハッチングで示した領域で熱処理を行うことにより、シリコンは酸化されずガドリニウムのみを酸化することができる。

【0120】上述したような条件で熱処理を行うことにより、界面領域にシリコン酸化膜を形成することなく、 GdO_x のみを化学量論的組成に近づけることができ、緻密な金属酸化物膜 107 を得ることが可能である。したがって、ゲート絶縁膜の物理的膜厚を増加させることなく、リーク電流の少ない優れた特性のゲート絶縁膜を得ることができる。なお、シリコン基板表面にシリコン酸化物が形成されている場合には、このシリコン酸化物を上記の熱処理によって還元することも可能である。

【0121】次に、図 9 (e) に示すように、CVD 法等を用いて膜厚 150 nm の多結晶シリコン膜 108 を堆積する。続いて、フォトリソをマスクとして多結晶シリコン膜 108 のエッチングを行い、所望のゲート形状を得る。

【0122】次に、図 9 (f) に示すように、ゲート電極 (多結晶シリコン膜 108) をマスクとして、加速電圧 10 keV、ドーズ量 $5 \times 10^{14} cm^{-2}$ で BF_2 のイ

オン注入を行い、ソース・ドレインのエクステンション領域 109 (LDD 領域) を形成する。このエクステンション領域 109 は、pn 接合電界を緩和してホットエレクトロン生成を抑制する効果がある。

【0123】次に、図 10 (g) に示すように、LPE-CVD 法を用いて、ライナー層 110 となる膜厚 10 nm 程度のシリコン酸化膜 (SiO₂ 膜) を堆積する。続いて、LPE-CVD 法等により、膜厚 50 nm 程度のシリコン窒化膜 (SiN 膜) 111 を堆積する。

【0124】次に、図 10 (h) に示すように、RIE 法により SiN 膜 111 をエッチングし、ゲート側壁にのみ SiN 膜 111 を残す。ライナー層 110 は、RIE を行う際のエッチングストッパーの役割を果たす。その後、ソース・ドレインの高濃度拡散層を形成するために、加速電圧 5 keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ で B のイオン注入を行う。さらに、1000℃で 10 秒程度の活性化アニール処理を行う。その後、層間絶縁膜、コンタクト、上部配線等の形成を行う。

【0125】(実施形態 3 (B)) 図 12 (a) ~ 図 13 (f) は、本発明の実施形態 3 (B) に係る半導体装置の製造方法を示した工程断面図である。

【0126】まず、実施形態 3 (A) と同様、シリコン基板 121 に素子分離領域 122 を形成する。その後、図 12 (a) に示すように、将来ゲートを形成する領域にダミーゲート 123 を形成する。ダミーゲート 123 は、層間絶縁膜に対してエッチングの選択比が得られる構造であればどのような構造でもよいが、本実施形態では、以下のようにしてダミーゲート 123 を形成している。まず、膜厚数 nm の熱酸化膜 124 (シリコン酸化膜) を形成し、さらに多結晶シリコン膜 125 及びシリコン窒化膜 (SiN 膜) 126 を CVD 法により形成する。続いて、フォトリソトをマスクとして、SiN 膜 126 を所望の形状に加工する。フォトリソトを除去した後、SiN 膜 126 をマスクとして多結晶シリコン膜 125 及び熱酸化膜 124 をエッチングし、ダミーゲート 123 を形成する。

【0127】次に、図 12 (b) に示すように、ダミーゲート 123 をマスクとして、加速電圧 5 keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ で B のイオン注入を行い、ソース・ドレインの高濃度拡散層 127 を形成する。

【0128】次に、図 12 (c) に示すように、CVD 法により層間絶縁膜 128 を堆積する。さらに、CMP 法によって平坦化を行い、ダミーゲート 123 の上面を露出させる。

【0129】次に、図 13 (d) に示すように、露出したダミーゲート 123 をウエットエッチング或いはドライエッチングによって除去する。

【0130】次に、希フッ酸処理等の前処理を行った後、図 13 (e) に示すように、酸化等により膜厚 1 nm 程度のシリコン酸化膜 129 を形成する。さら

に、CVD 法等により膜厚数 nm の GdO_x から成る金属酸化物膜 130 を形成する。続いて、実施形態 3

(A) と同様に、酸化力の異なる 2 種類のガスを含む雰囲気、具体的には水蒸気及び酸素を含む雰囲気中で熱処理を行う。これにより、実施形態 3 (A) と同様、シリコン基板 121 表面のシリコンが酸化されず、金属酸化物膜 130 のみが選択的に酸化される。その結果、界面領域にシリコン酸化膜を形成することなく、GdO_x のみを化学量論的組成に近づけることができ、緻密な金属酸化物膜 130 が得られる。したがって、ゲート絶縁膜の物理的膜厚を増加させることなく、リーク電流の少ない優れた特性のゲート絶縁膜を得ることができる。

【0131】次に、図 13 (f) に示すように、アルミニウム等のゲート電極材料を CVD 法により堆積し、続いて CMP 法により平坦化を行うことにより、ゲート電極 131 が形成される。その後、コンタクト、上部配線等の形成を行う。

【0132】以上、第 3 の実施形態について説明したが、本実施形態では以下のような変更が可能である。

【0133】上述した実施形態では、酸化力の異なる 2 種類のガスを含む雰囲気として、水蒸気及び酸素を含む雰囲気を用いて説明したが、一酸化炭素 (CO) と二酸化炭素 (CO₂) を含む雰囲気を用いて熱処理を行ってもよい。この場合、二酸化炭素が酸化剤として機能し、一酸化炭素が還元剤として機能する。

【0134】また、上述した実施形態では、ゲート絶縁膜として、シリコン酸化膜及び金属酸化物膜の積層構造を例に説明したが、金属酸化物膜の代わりに金属珪酸化物膜を用いてもよい。また、ゲート絶縁膜として、金属酸化物膜或いは金属珪酸化物膜の単層膜を用いてもよい。さらに、金属珪酸化物膜上に金属酸化物膜を形成した積層構造であってもよい。これらの場合にも、酸化力の異なる 2 種類のガスを含む雰囲気中で熱処理を行うことにより、緻密な金属酸化物膜或いは金属珪酸化物膜を得ることができる。

【0135】また、上述した実施形態では、金属酸化物膜に含まれる金属元素としてガドリニウムを例に説明したが、金属酸化物膜或いは金属珪酸化物膜には、ジルコニウム、ガドリニウム、ハフニウム、ランタン、イットリウム、アルミニウム、チタンの中の少なくとも一つの金属元素が含まれていればよい。

【0136】(実施形態 4) 以下、本発明の第 4 の実施形態を図面を参照して説明する。

【0137】(実施形態 4 (A)) 図 14 (a) ~ 図 14 (c) は、本発明の実施形態 4 (A) に係る半導体装置の製造方法を示した工程断面図である。

【0138】まず、図 14 (a) に示すように、シリコン基板 201 内に素子分離領域 202 を形成する。続いて、ドライ酸化法或いはウエット酸化法により、膜厚約 2 nm のシリコン酸化膜 203 を形成する。さらに、メ

ツキ法或いはスパッタ法により、金属膜204として膜厚100nm程度のジルコニウム膜を形成する。メッキ法を用いる場合には、ジルコニウムのシード層を形成した後、硫酸ジルコニウム($Zr(SO_4)_2 \cdot 4H_2O$)水溶液中で電気分解を行うことによって、ジルコニウム膜204を形成する。メッキ法を用いることにより、ジルコニウム膜204を制御性及び生産性よく形成することができる。

【0139】次に、図14(b)に示すように、不活性雰囲気にて、結晶化の起こらない程度の条件で熱処理を行う。熱処理を行うことで、シリコン酸化膜203とジルコニウム膜204との界面で酸化還元反応及び相互拡散が起こり、膜厚4nm程度(シリコン酸化膜換算膜厚1nm程度)のジルコニウム珪酸化物膜205が形成される。ジルコニウムは、わずかな酸素によって表面に酸化膜が形成され、強い酸化性を示すことが知られている(例えば、銅の第1イオン化電位 ΔE は7.73(eV)程度であるのに対し、ジルコニウムは6.84(eV)程度である)。したがって、ジルコニウム膜204の表面は空气中で容易に酸化され、ジルコニウム珪酸化物膜206が形成される。

【0140】ジルコニウム膜204の表面がある程度酸化されると、それ以上酸化は進行せず、穏やかな条件下での熱処理においてジルコニウム膜204の内部は金属状態を保っている。したがって、内部に残っているジルコニウムをそのまま電極として用いてもよい。また、硫酸或いはフッ酸でジルコニウム珪酸化物膜206を除去し、さらに過酸化水素水等でジルコニウム膜204を除去し、残ったジルコニウム珪酸化物膜205上に新たに金属膜を形成してもよい。本実施形態では、ジルコニウム膜204を剥離せずに、そのまま電極として使用する場合について述べる。

【0141】ジルコニウム珪酸化物膜205を形成した後、図14(c)に示すように、膜厚200nm程度のキャップ絶縁膜であるシリコン窒化膜(SiN 膜)207を全面に形成する。その後、シリコン窒化膜207及びジルコニウム膜204等をゲート電極の形状にパターニングする。続いて、ゲート電極をマスクとして不純物のイオン注入を行い、注入された不純物の活性化を行って、ソース・ドレイン拡散層211を形成する。

【0142】その後、スペーサーとなる SiN 膜208を形成し、さらに RIE により基板表面を露出させる。続いて、 $BPSG$ 成膜時のバリヤ及び RIE 時のストップバーとなるライナー SiN 膜209を15nm程度形成する。続いて、 $BPSG$ 膜210を成膜し、さらに800°C、30分のウェット酸化雰囲気下で $BPSG$ 膜210の高密度化を行う。その後、CMP法により、 SiN 膜207~209をストップバーにして $BPSG$ 膜210の平坦化を行い、トランジスタが完成する。

【0143】このように、本実施形態によれば、シリコ

ン酸化膜上にジルコニウム膜を形成し、熱処理によってシリコン酸化膜とジルコニウム膜とを反応させてジルコニウム珪酸化物膜を形成するので、膜質に優れた誘電率の高いジルコニウム珪酸化物膜をゲート絶縁膜として用いることができるとともに、熱処理後に残ったジルコニウム膜をそのままゲート電極として用いることができ、製造工程の簡略化、生産性の向上をはかることができる。

【0144】(実施形態4(B))図15(a)~図16(e)は、本発明の実施形態4(B)に係る半導体装置の製造方法を示した工程断面図である。本実施形態は、実施形態4(A)で説明した方法を採用し、ゲート電極に異なる種類の金属を用いたデュアルメタルトランジスタを形成するものである。なお、図14(a)~図14(c)に示した実施形態4(A)の構成要素と対応する構成要素については同一の参照番号を付している。

【0145】まず、実施形態4(A)と同様の工程により、シリコン酸化膜(図示せず)上にジルコニウム膜204を形成し、さらに熱処理によってシリコン酸化膜とジルコニウム膜204とを反応させることにより、図15(a)に示すように、ジルコニウム珪酸化物膜205を形成する。

【0146】次に、図15(b)に示すように、ジルコニウム膜204の一部を除去する。具体的には、ジルコニウム膜204を残置させる領域上にレジストパターンを形成し、このレジストパターンをマスクとして、硫酸或いはフッ酸によりジルコニウム珪酸化物膜206を除去し、さらに過酸化水素水等でジルコニウム膜204を除去する。その後、全面にジルコニウム以外の金属膜として、イットリウム膜212を100nmの膜厚で形成する。

【0147】次に、図15(c)に示すように、CMP法によって平坦化を行う。基板を大気中に取り出すことで、ジルコニウム膜204の表面にはジルコニウム珪酸化物膜206が、イットリウム膜212の表面にはイットリウム珪酸化物膜213が形成される。イットリウムの第1イオン化電位 ΔE は6.38程度であり、ジルコニウムと同様に空气中で容易に酸化される。

【0148】次に、図16(d)に示すように、キャップ絶縁膜であるシリコン窒化膜207を200nmの膜厚で形成する。その後、シリコン窒化膜207及びジルコニウム膜204、イットリウム膜212等をゲート電極の形状にパターニングする。

【0149】その後、実施形態4(A)と同様にして、ソース・ドレイン拡散層211、スペーサー SiN 膜208、ライナー SiN 膜209、 $BPSG$ 膜210等を形成、図16(e)に示すような構造のトランジスタが完成する。

【0150】本実施形態では、デュアルメタルトランジスタの製造に際し、実施形態4(A)と同様、膜質に優

れた誘電率の高い金属珪酸化物物膜をゲート絶縁膜として用いることができるとともに、製造工程の簡略化や生産性の向上をはかることが可能となる。

【0151】(実施形態4 (C)) 図17 (a) ~ 図17 (e) は、本発明の実施形態4 (C) に係る半導体装置の製造方法を示した工程断面図である。本実施形態は、実施形態4 (A) で説明した方法を採用し、ゲート電極に異なる種類の金属を用いたデュアルメタルトランジスタを形成するものである。なお、図14 (a) ~ 図14 (c) に示した実施形態4 (A) の構成要素と対応

する構成要素については同一の参照番号を付している。

【0152】まず、実施形態4 (A) と同様の工程により、図17 (a) に示すように、シリコン酸化膜203上にジルコニウム膜204を形成し、さらにジルコニウム膜204上にジルコニウム酸化物膜206を形成する。

【0153】次に、図17 (b) に示すように、ジルコニウム膜204の一部を除去する。具体的には、ジルコニウム膜204を残置させる領域上にレジストパターンを形成し、このレジストパターンをマスクとして、硫酸

或いはフッ酸によりジルコニウム酸化物膜206を除去し、さらに過酸化水素水等でジルコニウム膜204を除去する。その後、全面にジルコニウム以外の金属膜として、イットリウム膜212を100 nmの膜厚で形成する。

【0154】次に、図17 (c) に示すように、CMP法によって平坦化を行う。その後、不活性雰囲気にて、結晶化の起こらない程度の条件で熱処理を行う。熱処理を行うことで、シリコン酸化膜203とジルコニウム膜204との界面、及びシリコン酸化膜203とイットリウム膜212との界面で、酸化還元反応及び相互拡散が起こり、それぞれ膜厚4 nm程度(シリコン酸化膜換算膜厚1 nm程度)のジルコニウム珪酸化物膜205及びイットリウム珪酸化物膜214が形成される。また、基板を大気中に取り出すことで、ジルコニウム膜204の表面にはジルコニウム酸化物膜206が、イットリウム膜212の表面にはイットリウム酸化物膜213が形成される。

【0155】次に、図18 (d) に示すように、キャップ絶縁膜であるシリコン窒化膜207を200 nmの膜厚で形成する。その後、シリコン窒化膜207、ジルコニウム膜204及びイットリウム膜212等をゲート電極の形状にパターンニングする。

【0156】その後、実施形態4 (A) と同様にして、ソース・ドレイン拡散層211、スペーサーSiN膜208、ライナーSiN膜209、BPSG膜210等を形成。図18 (e) に示すような構造のトランジスタが完成する。

【0157】本実施形態でも、デュアルメタルトランジスタの製造に際し、実施形態4 (A) 及び実施形態4

(B) と同様、膜質に優れた誘電率の高い金属珪酸化物物膜をゲート絶縁膜として用いることができるとともに、製造工程の簡略化や生産性の向上をはかることが可能となる。

【0158】なお、上述した実施形態4 (A) ~ 4 (C) では、金属珪酸化物物膜に含まれる金属元素としてジルコニウム及びイットリウムを例にあげて説明したが、金属珪酸化物物膜には、ジルコニウム、ガドリニウム、ハフニウム、ランタン、イットリウム、アルミニウム、チタンの中の少なくとも一つの金属元素が含まれてい

ればよい。

【0159】また、上述した実施形態4 (A) ~ 4 (C) では、ゲート絶縁膜としてシリコン金属珪酸化物物の単層膜を用いた例について説明したが、金属珪酸化物物膜上に金属酸化物膜を形成した積層構造であってもよい。この場合には、熱処理によって金属珪酸化物物膜を形成した後、金属珪酸化物物膜上の未反応の金属膜を除去し、その後に金属酸化物膜を形成すればよい。金属酸化物膜としては、上述した各種金属元素の少なくとも一つを含む膜でもよいし、タンタル酸化物膜やビスマス・ストロンチウム・チタン酸化物膜(BSTO)等でもよい。

【0160】また、上述した実施形態4 (A) ~ 4 (C) では、シリコン酸化膜上に金属膜を形成するようにしたが、シリコン酸化膜に限らずシリコン酸化膜系絶縁膜であればよく、例えばシリコン窒化膜(SiON膜)上に金属膜を形成するようにしてもよい。

【0161】さらに、ゲート電極に用いる金属についても種々変形可能であり、例えばタンダステン膜を用いてもよく、さらにバリアメタルであるTiN膜とタンダステン膜との積層構造にしてもよい。

【0162】(実施形態5) 以下、本発明の第5の実施形態を図面を参照して説明する。

【0163】(実施形態5 (A)) 図19 (a) ~ 図19 (c) は、本発明の実施形態5 (A) に係る半導体装置の製造方法を示した工程断面図である。

【0164】まず、図19 (a) に示すように、シリコン基板301上に、厚さ1 nm以下の極薄いシリコン酸化膜(SiO₂膜)302を形成する。続いて、シリコン酸化膜302の一部を選択的に除去して、シリコン基板301上にシリコン酸化膜302の存在する領域と存在しない領域を形成する。その後、全面にLa, Hf, Zr, Gd等の金属を含む金属酸化物膜303を堆積する。

【0165】次に、図19 (b) に示すように、上述した構造を有する基板に対して熱処理を行う。この熱処理の条件を適当に選ぶことにより、シリコン酸化膜302を除去した領域では金属酸化物膜303とシリコン基板301のシリコンとが反応して金属珪酸化物物膜304が形成され、シリコン酸化膜302を除去しなかった領域

では金属酸化物膜 303 及びシリコン酸化膜 302 の積層膜が残る。

【0166】次に、図 19 (c) に示すように、全面に T1N 等からなるゲート電極用の電極膜 305 を形成し、さらにシリコン酸化膜 302、金属酸化物膜 303、金属珪酸化物膜 304 及び電極膜 305 をパターンニングする。このようにして、ゲート絶縁膜の実効的な膜厚が互いに異なったゲート電極構造が形成される。

【0167】(実施形態 5 (B)) 図 20 (a) ~ 図 20 (c) は、本発明の実施形態 5 (B) に係る半導体装置の製造方法を示した工程断面図である。

【0168】まず、図 20 (a) に示すように、実施形態 5 (A) と同様にして、シリコン基板 301 上にシリコン酸化膜 302 及び金属酸化物膜 303 を形成する。

【0169】次に、図 20 (b) に示すように、上述した構造を有する基板に対して熱処理を行う。この熱処理の条件を適当に選ぶ、例えば実施形態 5 (A) で行った熱処理の温度よりも高い温度で熱処理を行うことにより、シリコン酸化膜 302 を除去した領域と除去しなかった領域とで、金属元素、酸素及びシリコンの組成比が異なった金属珪酸化物膜 306 及び 307 を形成することができる。形成された金属珪酸化物膜は、酸素濃度は金属珪酸化物膜 307 の方が金属珪酸化物膜 306 よりも高く、シリコン濃度は金属珪酸化物膜 306 の方が金属珪酸化物膜 307 よりも高くなる。

【0170】次に、図 20 (c) に示すように、実施形態 5 (A) と同様にして電極膜 305 を形成し、さらに金属珪酸化物膜 306、307 及び電極膜 305 をパターンニングする。このようにして、ゲート絶縁膜の実効的な膜厚が互いに異なったゲート電極構造が形成される。

【0171】(実施形態 5 (C)) 図 21 (a) ~ 図 21 (c) は、本発明の実施形態 5 (C) に係る半導体装置の製造方法を示した工程断面図である。

【0172】まず、図 21 (a) に示すように、実施形態 5 (A) と同様にして、シリコン基板 301 上にシリコン酸化膜 302 及び金属酸化物膜 303 を形成する。このとき、金属酸化物膜 303 中の酸素濃度を化学量論比よりも低くしておく。

【0173】次に、図 21 (b) に示すように、上述した構造を有する基板に対して熱処理を行う。熱処理の条件 (加熱温度、加熱時間)、シリコン酸化膜の膜厚、金属酸化物膜の組成比等を適当に選ぶことにより、シリコン酸化膜 302 を除去した領域と除去しなかった領域とで、異なった絶縁膜構造にすることができる。シリコン酸化膜 302 を除去した領域では、金属酸化物膜 303 とシリコン基板 301 のシリコンとが反応してシリコン基板 301 の表面付近に金属珪酸化物膜 308 が形成され、金属珪酸化物膜 308 と金属酸化物膜 303 との積層構造になる。また、シリコン酸化膜 302 を除去しなかった領域では、金属酸化物膜 303 とシリコン酸化膜

302 とが反応して、化学量論比に近い組成の金属酸化物膜 309 が形成される。

【0174】次に、図 21 (c) に示すように、実施形態 5 (A) と同様にして電極膜 305 を形成し、さらに金属珪酸化物膜 308、金属酸化物膜 303、309 及び電極膜 305 をパターンニングする。このようにして、ゲート絶縁膜の実効的な膜厚が互いに異なったゲート電極構造が形成される。

【0175】(実施形態 5 (D)) 図 22 (a) ~ 図 22 (c) は、本発明の実施形態 5 (D) に係る半導体装置の製造方法を示した工程断面図である。

【0176】まず、図 22 (a) に示すように、実施形態 5 (A) と同様にして、シリコン基板 301 上にシリコン酸化膜 302 及び金属酸化物膜 303 を形成する。このとき、金属酸化物膜 303 中の酸素濃度を化学量論比よりも低くしておく。

【0177】次に、図 22 (b) に示すように、上述した構造を有する基板に対して熱処理を行う。熱処理の条件 (加熱温度、加熱時間)、シリコン酸化膜の膜厚、金属酸化物膜の組成比等を適当に選ぶことにより、シリコン酸化膜 302 を除去した領域と除去しなかった領域とで、異なった絶縁膜構造にすることができる。シリコン酸化膜 302 を除去した領域では、シリコン基板 301 の表面に近いほどシリコンの組成比が高い金属珪酸化物膜 310 が形成される。また、シリコン酸化膜 302 を除去しなかった領域では、化学量論比に近い組成の金属酸化物膜 312 が形成されるとともに、シリコン基板 301 の表面付近には金属珪酸化物膜 311 が形成される。

【0178】次に、図 21 (c) に示すように、実施形態 5 (A) と同様にして電極膜 305 を形成し、さらに金属珪酸化物膜 310、311、金属酸化物膜 312 及び電極膜 305 をパターンニングする。このようにして、ゲート絶縁膜の実効的な膜厚が互いに異なったゲート電極構造が形成される。

【0179】(実施形態 5 (E)) 図 23 (a) ~ 図 23 (c) は、本発明の実施形態 5 (E) に係る半導体装置の製造方法を示した工程断面図である。

【0180】まず、図 23 (a) に示すように、シリコン基板 301 上に、La、Hf、Zr、Gd 等の金属を含む金属酸化物膜 313 を堆積する。続いて、フォトレジスト 314 をマスクとして、イオン注入法によりシリコンイオンを金属酸化物膜 313 中に導入する。このイオン注入の条件は、イオンの飛程が金属酸化物膜 313 中になるような条件とし、例えば金属酸化物膜 313 の厚さが 3 ~ 5 nm 程度の場合には加速電圧を 0.5 ~ 1 keV 程度に設定する。

【0181】次に、図 23 (b) に示すように、フォトレジスト 314 をプラズマアッシング及び酸性化学薬液による湿式処理によって除去した後、熱処理を行う。この

熱処理により、金属酸化物膜 313 中にシリコンを導入した領域では、金属酸化物膜 313 が金属珪酸化物膜 315 (Lag SiO₅ 等) に変換される。シリコンを導入していない領域では、金属酸化物膜 313 がそのまま残置する。このようにシリコンイオンを金属酸化物膜 313 中に予め導入しておくことにより、熱処理の温度を実施形態 5 (A) で行った熱処理の温度より低くしても、金属珪酸化物膜 315 を形成することが可能である。

【0182】次に、図 23 (c) に示すように、実施形態 5 (A) と同様にして電極膜 305 を形成し、さらに金属珪酸化物膜 315、金属酸化物膜 313 及び電極膜 305 をパターンニングする。このようにして、ゲート絶縁膜の実効的な膜厚が互いに異なったゲート電極構造が形成される。

【0183】なお、上記の例ではシリコン基板 301 上に直接金属酸化物膜 313 を堆積するようにしたが、シリコン基板 301 上に薄いシリコン酸化膜を形成し、このシリコン酸化膜上に金属酸化物膜 313 を堆積するようにしてもよい。この場合、最終的に得られるゲート絶縁膜の構造は、イオン注入を行った領域及び行わなかった領域とも、シリコン酸化膜と金属酸化物膜 313 あるいは金属珪酸化物膜 315 との積層膜となる。

【0184】(実施形態 5 (F)) 図 24 (a) ~ 図 24 (c) は、本発明の実施形態 5 (F) に係る半導体装置の製造方法を示した工程断面図である。

【0185】まず、図 24 (a) に示すように、シリコン基板 301 上に、厚さ 1 nm 以下の極薄いシリコン酸化膜 316 を形成する。続いて、シリコン酸化膜 316 上に、La, Hf, Zr, Gd 等の金属を含む金属酸化物膜 317 を堆積する。続いて、フォトリソ 318 をマスクとして、Ar や Si 等のイオンのイオン注入法を行う。このイオン注入の条件は、イオンの飛程がシリコン酸化膜 316 中になるような条件にする。このイオン注入により、シリコン酸化膜 316 に意図的に損傷が与えられる。

【0186】次に、図 24 (b) に示すように、フォトリソ 318 を除去した後、熱処理を行う。この熱処理により、シリコン酸化膜 316 に損傷が与えられた領域では、金属酸化物膜 317 とシリコン酸化膜 316 とが反応して金属珪酸化物膜 319 が形成され、シリコン酸化膜 316 に損傷が与えられていない領域では、シリコン酸化膜 316 及び金属酸化物膜 317 の積層膜が残置する。シリコン酸化膜 316 に予め損傷を与えておくことにより、シリコンと酸素との結合が弱められているため、熱処理の温度を実施形態 5 (A) で行った熱処理の温度より低くしても、金属珪酸化物膜 319 を形成することが可能である。

【0187】次に、図 24 (c) に示すように、実施形態 5 (A) と同様にして電極膜 305 を形成し、さらに

金属珪酸化物膜 319、金属酸化物膜 317、シリコン酸化膜 316 及び電極膜 305 をパターンニングする。このようにして、ゲート絶縁膜の実効的な膜厚が互いに異なったゲート電極構造が形成される。

【0188】このように、本実施形態 5 によれば、ゲート絶縁膜に金属酸化物膜や金属珪酸化物膜を用いることにより、ゲート絶縁膜の実効的な膜厚を薄くすることができるとともに、ゲート絶縁膜の構造を複数の領域で異ならせることにより、各領域でのゲート絶縁膜の実効的な膜厚を異ならせることができる。

【0189】なお、本実施形態 5 において、金属酸化物膜や金属珪酸化物膜には、Al, Sn, Sc, Ti, Sr, Y, Zr, Ba, La, Gd, Hf, Ta の中少なくとも一つ金属元素が含まれていればよい。ただし、シリコン酸化膜との反応によって金属酸化物膜や金属珪酸化物膜を形成する例では、Sn 及び Ta は Si よりも還元性が弱いので、上述した金属元素のうち Sn 及び Ta 以外の金属元素を用いることが好ましい。

【0190】また、本実施形態 5 では、シリコン基板上に形成されるシリコン酸化膜系絶縁膜としてシリコン酸化膜を例に説明したが、シリコン酸化膜系絶縁膜としてシリコン窒素膜を用いるようにしてもよい。

【0191】以上、本発明の実施形態 1 ~ 5 を説明したが、本発明は上記各実施形態に限定されるものではない。例えば、上記各実施形態で示した構造や製造方法を適宜組み合わせることも可能である。その他、本発明はその趣旨を逸脱しない範囲内において種々変形して実施することが可能である。

【0192】

【発明の効果】本発明によれば、金属酸化物膜や金属珪酸化物膜をゲート絶縁膜に用いた半導体装置において、特性、信頼性、生産性等の向上をはかることが可能となる。

【図面の簡単な説明】

【図 1】本発明の第 1 及び第 2 の実施形態に係る半導体装置の第 1 の例を示した断面図。

【図 2】本発明の第 1 及び第 2 の実施形態に係る半導体装置の第 1 の例についてその製造工程の一部を示した工程断面図。

【図 3】本発明の第 1 及び第 2 の実施形態に係る半導体装置の第 1 の例についてその製造工程の一部を示した工程断面図。

【図 4】本発明の第 1 及び第 2 の実施形態に係る半導体装置の第 1 の例についてその製造工程の一部を示した工程断面図。

【図 5】本発明の第 1 及び第 2 の実施形態に係る半導体装置の第 2 の例を示した断面図。

【図 6】本発明の第 1 及び第 2 の実施形態に係る半導体装置の第 2 の例についてその製造工程の一部を示した工程断面図。

【図 7】本発明の第 1 及び第 2 の実施形態に係る半導体装置の第 2 の例についてその製造工程の一部を示した工程断面図。

【図 8】本発明の第 3 の実施形態に係る半導体装置の第 1 の例についてその製造工程の一部を示した工程断面図。

【図 9】本発明の第 3 の実施形態に係る半導体装置の第 1 の例についてその製造工程の一部を示した工程断面図。

【図 10】本発明の第 3 の実施形態に係る半導体装置の第 1 の例についてその製造工程の一部を示した工程断面図。

【図 11】本発明の第 3 の実施形態に係り、シリコン及びガドリニウムの酸化における平衡水素・水蒸気分圧曲線を示した図。

【図 12】本発明の第 3 の実施形態に係る半導体装置の第 2 の例についてその製造工程の一部を示した工程断面図。

【図 13】本発明の第 3 の実施形態に係る半導体装置の第 2 の例についてその製造工程の一部を示した工程断面図。

【図 14】本発明の第 4 の実施形態に係る半導体装置の第 1 の例についてその製造工程を示した工程断面図。

【図 15】本発明の第 4 の実施形態に係る半導体装置の第 2 の例についてその製造工程の一部を示した工程断面図。

【図 16】本発明の第 4 の実施形態に係る半導体装置の第 2 の例についてその製造工程の一部を示した工程断面図。

【図 17】本発明の第 4 の実施形態に係る半導体装置の第 3 の例についてその製造工程の一部を示した工程断面図。

【図 18】本発明の第 4 の実施形態に係る半導体装置の第 3 の例についてその製造工程の一部を示した工程断面図。

【図 19】本発明の第 5 の実施形態に係る半導体装置の

第 1 の例についてその製造工程を示した工程断面図。

【図 20】本発明の第 5 の実施形態に係る半導体装置の第 2 の例についてその製造工程を示した工程断面図。

【図 21】本発明の第 5 の実施形態に係る半導体装置の第 3 の例についてその製造工程を示した工程断面図。

【図 22】本発明の第 5 の実施形態に係る半導体装置の第 4 の例についてその製造工程を示した工程断面図。

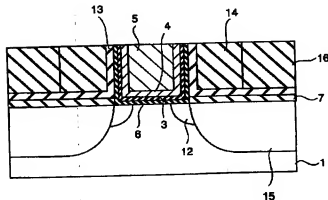
【図 23】本発明の第 5 の実施形態に係る半導体装置の第 5 の例についてその製造工程を示した工程断面図。

【図 24】本発明の第 5 の実施形態に係る半導体装置の第 6 の例についてその製造工程を示した工程断面図。

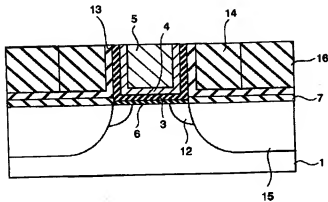
【符号の説明】

1…シリコン基板、3、19…金属酸化化物膜、4…チタン酸化膜、5…タングステン膜、6…金属珪酸化膜、7、11、14、16…シリコン酸化膜、8…ポリシリコン膜、9、13…シリコン窒化膜、10…ダミーゲートパターン、12…エクステンション領域、15…ソース・ドレイン拡散層、18…シリコン酸化膜 101、121…シリコン基板、102…N型領域、103、122…素子分離領域、104…保護酸化膜、105…不純物イオン、106、129…シリコン酸化膜、107、130…金属酸化膜、108、125…多結晶シリコン膜、109…エクステンション領域、110…ライナー層、111、126…シリコン窒化膜、123…ダミーゲート、124…熱酸化膜、127…ソース・ドレインの高濃度拡散層、128…層間絶縁膜、131…ゲート電極 201…シリコン基板、202…素子分離領域、203…シリコン酸化膜、204、212…金属膜、205、214…金属珪酸化膜、206、213…金属酸化膜、207、208、209…シリコン窒化膜、210…BPSG膜、211…ソース・ドレイン拡散層 301…シリコン基板、302、316…シリコン酸化膜、303、309、312、313、317…金属酸化膜、304、306、307、308、310、311、315、319…金属珪酸化膜、305…電極膜、314、318…フォトリソト

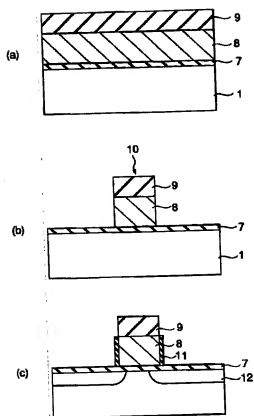
【図 1】



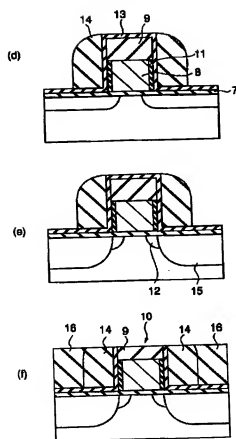
【図 5】



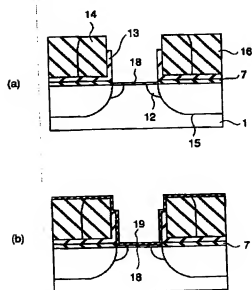
【図2】



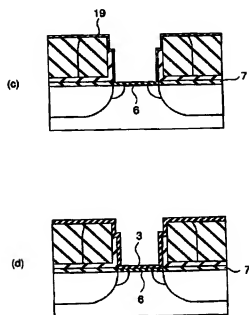
【図3】



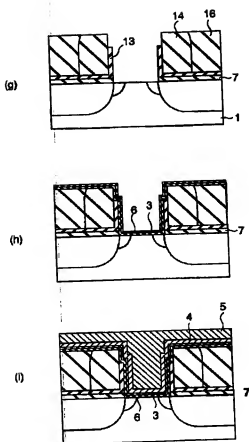
【図6】



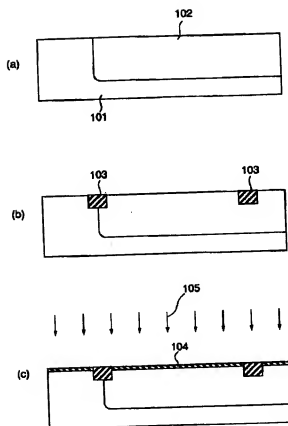
【図7】



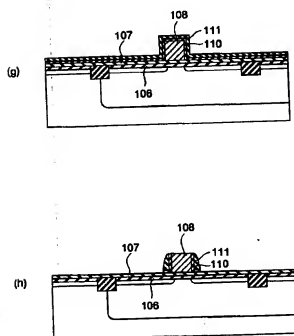
【図4】



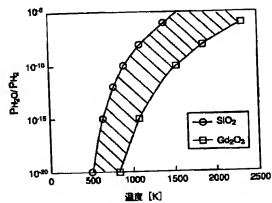
【図8】



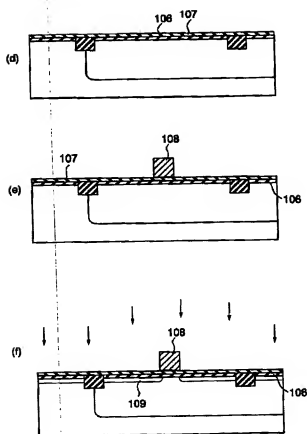
【図10】



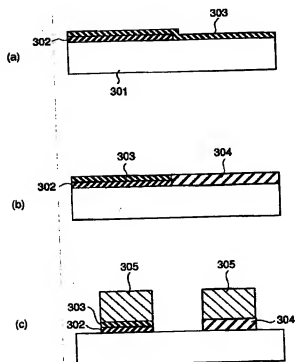
【図11】



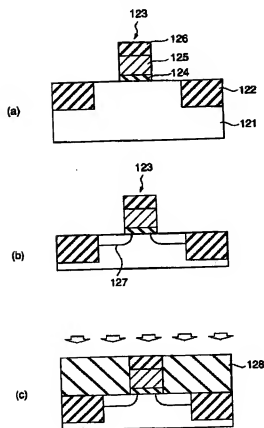
【図 9】



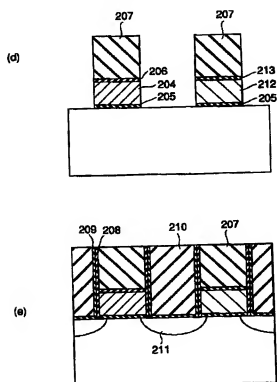
【図 19】



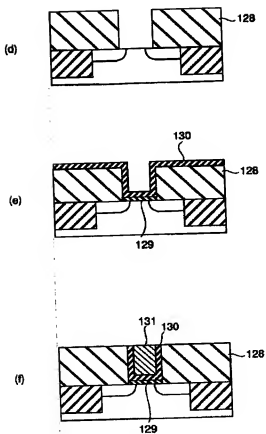
【図 12】



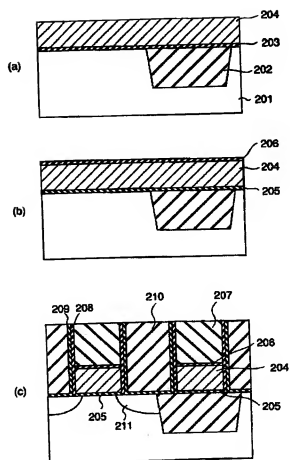
【図 16】



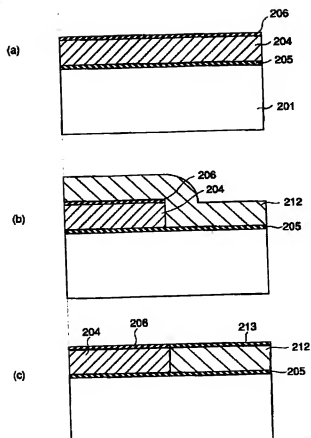
【図 13】



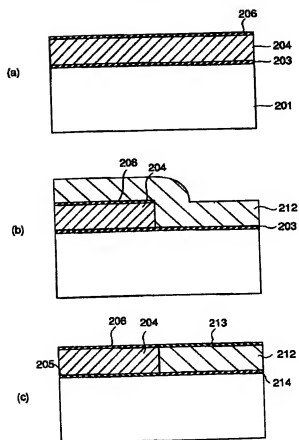
【図 14】



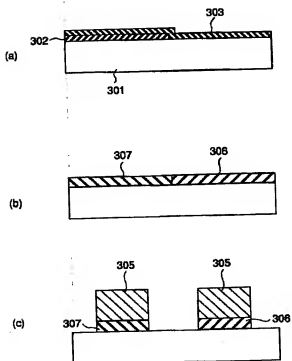
【図 15】



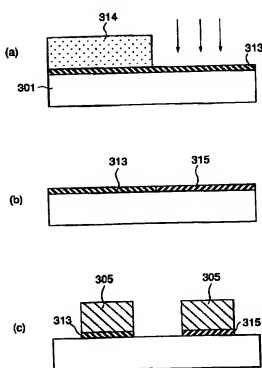
【図 17】



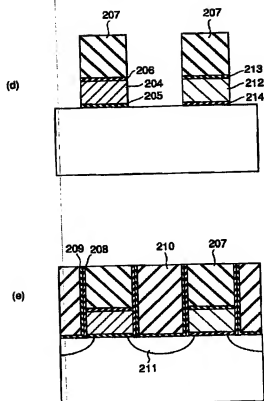
【図 20】



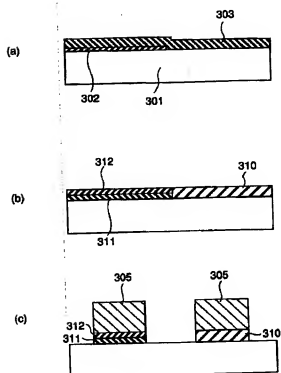
【図 23】



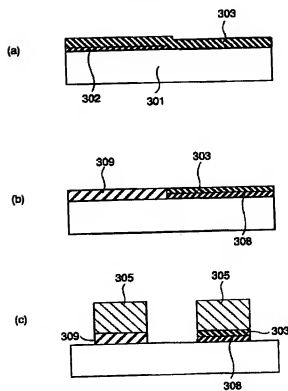
【図 18】



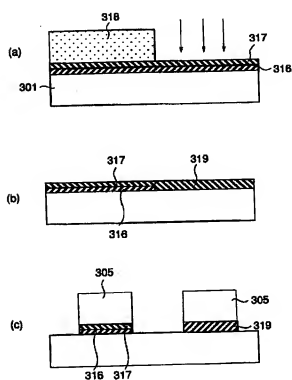
【図 22】



【図 21】



【図 24】



フロントページの続き

- (72)発明者 水津 康正
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内
- (72)発明者 小澤 良夫
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内
- (72)発明者 宮野 清幸
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

- (72)発明者 田中 正幸
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内
- F ターム (参考) 4M104 BB01 BB02 BB13 BB30 CC05
DD03 DD04 DD55 DD79 DD82
DD86 EE03 EE09 EE12 EE16
GG09 GG10 GG14 HH20
5F040 DC01 EC01 EC04 EC07 EC08
EC10 EC12 ED01 ED03 EF02
EK05 FA01 FA02 FA05 FA07
FB02 FB05 FC15 FC19 FC28
5F058 BA01 BD04 BD06 BD15 BF52
BH20 BJ01

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.